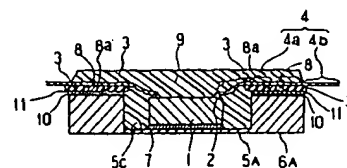


**(54) SEMICONDUCTOR DEVICE**

- (11) 2-155256 (A) (43) 14.6.1990 (19) JP  
 (21) Appl. No. 63-308806 (22) 8.12.1988  
 (71) MITSUBISHI ELECTRIC CORP (72) SHIN NAKAO  
 (51) Int. Cl.<sup>5</sup> H01L23/28, H01L21/60

**PURPOSE:** To prevent the warpage of a semiconductor device by installing a conductive cap having an edge section having wall thickness sufficient for obviating warpage due to the curing of a sealing resin.

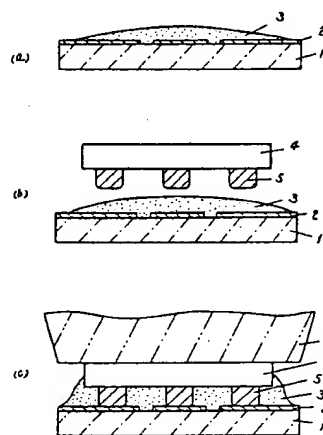
**CONSTITUTION:** A conductive cap 5A has a frame-shaped edge section 6A having wall thickness sufficient for preventing warpage due to the curing of a sealing resin 9 and a recessed section 5C for placing a semiconductor element 1. The semiconductor element 1 to which an electrode 2 is mounted is put onto the recessed section 5C by a first bonding member 7. A lead 4 is connected to the electrode 2, and the lead 4 is made of a copper foil in thickness of 35 $\mu$ m, and composed of an inner lead section 4a supported onto a support tape 3 as an insulating film and an outer lead section 4b formed toward the outside of a semiconductor device from the outer end section of the support tape 3 and connected to an external circuit.

**(54) MOUNTING DEVICE FOR SEMICONDUCTOR**

- (11) 2-155257 (A) (43) 14.6.1990 (19) JP  
 (21) Appl. No. 63-309476 (22) 7.12.1988  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) TOMOHIKO SUZUKI(3)  
 (51) Int. Cl.<sup>5</sup> H01L23/29, B41J2/345, H01L21/60, H01L23/31, H05K3/32

**PURPOSE:** To reduce the quantity of the periphery deformed of a semiconductor element, and to lower the restoring force of the deformation of the semiconductor element and obtain high reliability by pressuring the semiconductor element by a pressure body having a Young's modulus higher than the semiconductor element.

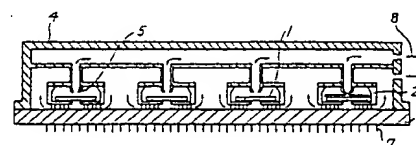
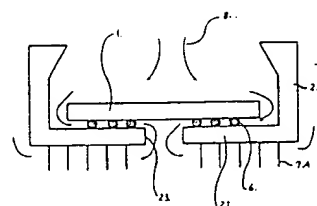
**CONSTITUTION:** An ultraviolet curing or thermosetting bonding resin 3 is applied to a section where a semiconductor element 4 is fixed onto a wiring substrate 1 composed of ceramics, glass, etc. The bump electrodes 5 of the semiconductor element 4 and conductor wirings 2 are conformed, and the semiconductor element 4 is pressured to the wiring substrate 1 by a pressure body 6. The pressure body 6 is formed of a material having a Young's modulus higher than the material of the semiconductor element 4 such as sapphire, diamond, etc., at that time. Accordingly, stress concentration to the peripheral section of the semiconductor element 4 is relaxed, and the quantity of deformation in the projecting direction of the semiconductor element 4 can be reduced. The bonding resin 3 is cured through ultraviolet curing or heating under a pressured state.

**(54) JET-COOLED SEMICONDUCTOR DEVICE**

- (11) 2-155258 (A) (43) 14.6.1990 (19) JP  
 (21) Appl. No. 63-309136 (22) 7.12.1988  
 (71) FUJITSU LTD (72) KISHIO YOKOUCHI(1)  
 (51) Int. Cl.<sup>5</sup> H01L23/44

**PURPOSE:** To inhibit temperature unevenness in a chip and improve cooling efficiency by a chip carrier having a wall installed around a base section on the base section, which has the exhaust port of a refrigerant liquid at the position of the loading of the chip, and chip loading side.

**CONSTITUTION:** An LSI chip 1 is flip-chip bonded and loaded on a chip carrier 2, at a center of which a hole having a diameter of 2mm $\phi$  is bored and which is formed in a square of 13mm, has height of 6mm and is made of alumina, through solder bumps 6, and 10 $\times$ 10 chip carriers are loaded on a circuit board 3 in a square of 150mm. The circuit board 3 is sealed into a cooling vessel 4 in which nozzles 5 for ejecting a refrigerant liquid in response to each chip 1 are arranged, and the refrigerant liquid 8 is circulated forcibly to each nozzle 5. The refrigerant liquid collides with the chips and the directions of flows are changed to a right angle and made parallel with the chips, and the refrigerant liquid collides with the walls 22 of the chip carriers 2, creeps among the chips and the board, is discharged to the board 3 from exhaust ports 23 bored on the lower sides of the chips and is returned to a flow path through the outsides of the chip carriers.



## ⑫ 公開特許公報(A)

平2-155257

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月14日

H 01 L 23/29  
B 41 J 2/345  
H 01 L 21/60  
23/31  
H 05 K 3/32

3 1 1 S 6918-5F

Z 6736-5E  
6412-5F  
7810-2C

H 01 L 23/30  
B 41 J 3/20

1 1 3 R  
B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体実装装置

⑯ 特 願 昭63-309476

⑰ 出 願 昭63(1988)12月7日

⑱ 発明者 鈴木 知彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発明者 岡 本 泉 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発明者 御 幡 正 芳 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発明者 畑 田 賢 造 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1、発明の名称

半導体実装装置

## 2、特許請求の範囲

導体配線を有した絶縁性基板と、突起電極を有する半導体素子の間に絶縁性樹脂を介在させ、前記半導体素子を前記絶縁性基板の導体配線部に、前記半導体素子よりも硬い材質の加圧体により加圧した状態で前記絶縁性樹脂を硬化させることにより、前記半導体素子を前記絶縁性基板に固着し、前記導体配線と前記突起電極とを電気的に接続する半導体実装装置。

## 3、発明の詳細な説明

産業上の利用分野

本発明は、半導体の実装装置に関するものである。

従来の技術

従来の技術を第2図とともに説明する。まず第2図aに示す様にセラミック、ガラス、ガラスエポキシ等よりなる配線基板1の導体配線2を有す

る面に、紫外線硬化あるいは熱硬化等の接着樹脂3を塗布する。導体配線2はCr-Au、Al、ITO、厚膜Auペースト等である。次に第2図bに示す様に半導体素子4のAu、Cu、Al、半田等よりなる突起電極5と導体配線2とを一致させ半導体素子4をガラス等よりなる加圧体6により加圧し配線基板1に押し当てる。この時、導体配線2上の接着樹脂3は周囲に押し出され、半導体素子4の突起電極5と導体配線2は電気的に接触する。この状態で接着樹脂3を紫外線照射あるいは加熱により硬化させ、半導体素子4の突起電極5と導体配線2とを電気的に接続し、同時に半導体素子4を配線基板1に固着することができる。

発明が解決しようとする課題

前述した従来の技術では、半導体素子4を加圧する際、加圧体6を形成するガラス等の材質のヤング率はシリコン等よりなる半導体素子4のヤング率より低くかつ、加圧体6と半導体素子4の接触部において、加圧体6が半導体素子4より面積が広く、半導体素子4が全面加圧体6と接してい

るため、加圧時に接触面圧の分布状態は均一にならず、ヤング率の低い加圧体6の半導体素子4の外周部に相当する部分の応力が非常に大きくなる。よって半導体素子4は突起電極5の圧縮変形量の違いにより凸状に変形し、固着される。このため、配線基板1の導体配線2と半導体素子4の突起電極5が初期に電氣的接触がなされている場合でも、高温時や吸湿時の接着樹脂3の強度低下時に半導体素子4の変形の復元力が働き、突起電極5と導体配線2の接触が剝離し、電氣的オープンが発生する等、信頼性が低下する要因となる。

#### 課題を解決するための手段

本発明は前記問題点を解決するために、加圧体をヤング率が半導体素子の材質よりも高い材質により形成したものである。

#### 作用

加圧体材質のヤング率を半導体素子材質のヤング率より高くすることにより、半導体素子の加圧体との接触面の周辺部への応力集中を緩和させることができる。これによって半導体素子の凸方向

よりもヤング率が高い材質により形成する。これにより第1図cのごとく半導体素子4周辺部への応力集中が緩和され、半導体素子4の凸方向の変形量を小さくおさえることが可能となる。この後、加圧したまま接着樹脂3を紫外線硬化あるいは加熱により硬化させることにより、半導体素子4の突起電極5と導体配線2の電氣的接続と半導体素子4の機械的保持が完了される。

#### 発明の効果

本発明の効果を以下に示す。

- (1) 半導体素子よりも高いヤング率を有する加圧体にて半導体素子を加圧することにより、半導体素子の周縁の変形量を緩和させることができるので、半導体素子の変形復元力を低下させて高信頼性を得ることができる。
- (2) 加圧体と半導体素子の接触部で、加圧体面積を半導体素子面積より広くすることができ、逆の場合に較べて、半導体素子を均一に加圧するために必要な、加圧体と半導体素子の中心位置合わせ精度の許容範囲が広がる。よって生産性

の変形量を小さくできるので、高温時や吸湿時の接着強度の低下による、半導体素子の変形復元力を低下させることができ、電氣的接続の信頼性を確保できるものである。

#### 実施例

本発明の一実施例を第1図と共に説明する。

まず第1図aに示す様に、セラミック、ガラス等よりなる配線基板1の上に半導体素子4を固着する部分に紫外線硬化あるいは熱硬化等の接着樹脂3を塗布する。配線基板1の厚みは0.1～3.0mm程度である。また、接着樹脂3はエポキシ、シリコン、アクリル等であり、塗布方法はディスペンサ法、印刷法等を用いる。次に第1図bに示す様に、半導体素子4の突起電極5と導体配線2を一致させ、半導体素子4を配線基板1に加圧体6により加圧する。導体配線2はCr-Au、Al、ITO、厚膜Auペースト等であり、その厚みは0.1～35μm程度である。また突起電極5はAu、Cu、Al、半田等よりなる。この時、加圧体6は、サファイア、ダイヤモンド等、半導体素子4の材質

が向上する。

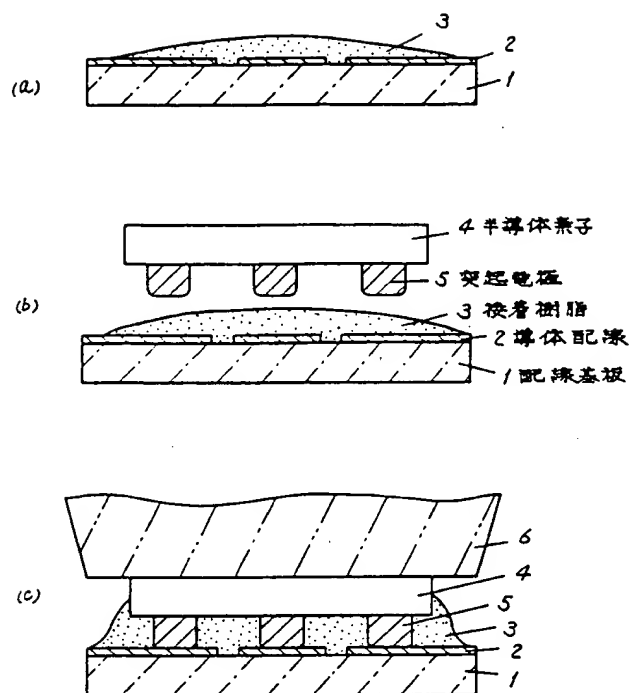
#### 4、図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図は従来例の断面図である。

1……配線基板、2……導体配線、3……接着樹脂、4……半導体素子、5……半導体素子の突起電極、6……加圧体。

代理人の氏名 弁理士 栗 野 重 孝 ほか1名

第 1 図



第 2 図

